



(19)

(11) Publication number: 01307268 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 63138884

(51) Intl. Cl.: H01L 29/78 H01L 21/20 H01L 27/12

(22) Application date: 06.06.88

(30) Priority:
 (43) Date of application publication: 12.12.89
 (84) Designated contracting states:

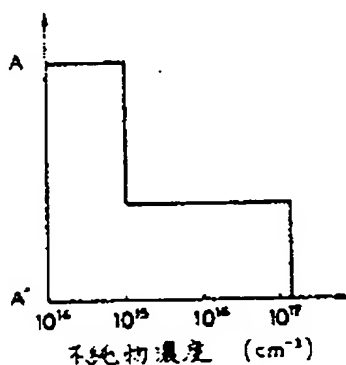
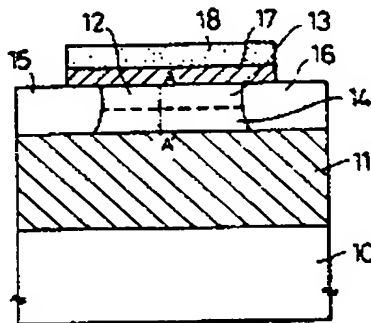
(71) NIPPON TELEGR & TELEPH CORP
 Applicant: <NTT>
 (72) Inventor: AOKI TAKAHIRO
 TOMIZAWA MASAOKI
 YOSHII AKIRA
 (74) Representative:

(54) MIS TYPE TRANSISTOR

(57) Abstract:

PURPOSE: To obtain a normally-off MISFET having no kink characteristic and high G_m (mobility) by bringing the surface to low concentration and the base to high concentration in the impurity concentration distribution of a thin-film SOI substrate.

CONSTITUTION: Source-drain regions 15, 16 are formed to the surface of a single crystal silicon layer (an SOI substrate) 12, and an N^+ polysilicon gate electrode 18 is shaped onto a channel region between these source-drain regions 15, 16 through a gate insulating film 17. Impurity concentration distribution just under a channel is set so that threshold voltage is brought to the state of normally-off and kind characteristics are not acquired. The thickness of an insulator film 11 is brought to a value not affected by an SOI channel, and the thickness of 30nm of the surface of the SOI substrate 12 is brought to a P type and impurity concentration of 10^{15}cm^{-3} and the thickness of 20nm of the base of the SOI substrate 12 to the P type and impurity concentration of $2 \times 10^{17} \text{cm}^{-3}$, thus controlling threshold voltage to a normally-off type. Accordingly, the normally-off of high G_m can be realized.



COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A) 平1-307268

⑤ Int. Cl. 4

H 01 L 29/78
21/20
27/12

識別記号

3 1 1

庁内整理番号

H-8624-5F
7739-5F
7514-5F

⑬ 公開 平成1年(1989)12月12日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 MIS型トランジスタ

⑮ 特 願 昭63-138884

⑯ 出 願 昭63(1988)6月6日

⑰ 発 明 者 青 木 隆 宏 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑱ 発 明 者 富 沢 雅 彰 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 吉 井 彰 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 高山 敏夫 外1名

明 細 書

1. 発明の名称

MIS型トランジスタ

2. 特許請求の範囲

絶縁体上に形成された第1導電型の単結晶シリコン膜と、このシリコン膜に形成された第2導電型のソース・ドレインと、前記ソース・ドレイン間のチャネル領域上にゲート酸化膜を介して形成されたゲート電極とを備えたMIS型トランジスタにおいて、前記の単結晶シリコン膜の厚さがチャネルを形成するための最大空乏層幅よりも薄く、かつ前記ソース・ドレインの接合が前記絶縁体に接し、ゲート直下の単結晶シリコン膜の表面領域の不純物濃度を低濃度にし、絶縁体と接する底面の領域を高濃度とする不純物分布を有することを特徴とするMIS型トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、SOI(絶縁体上のシリコン)を用いたノーマリーオフMIS型トランジスタに関するものである。

(従来の技術)

絶縁体上のシリコン層に各種の素子を形成したSOI素子の研究開発が進められている。

(発明が解決しようとする課題)

このMIS素子トランジスタにおいては基板浮遊の効果により、いわゆるキンク特性が問題である。これは、Nチャネルを例に考えると、素子の微細化によりドレイン近傍の衝突電阻が顕著になり、生成した正孔がSOI基板に蓄積し、SOI基板の電位がトランジスタの閾値を低下させる方向に変動する。このため、ドレイン電流を異常に増加させ、素子特性を不安定にする。

この問題を解決する最近の研究成果として文献(J.P. Colonge; "Subthreshold Slope of thin film SOIMOSFET" EDL-7 p244 (1986). M.Yoshimi et al. "High Performance SOIMOSFET Using Ultra-thin SOI Film" IEDM87 p640 (1987) 等)に示されるようにSOI基板の厚度 t_{epi} を通常のチャネルが形成される際の最大空乏層幅 W_d よりも薄

く設定することにより、チャネル形成時にSOI基板層を完全に空乏化し、ソースとSOI基板間の本来のポテンシャル障壁を低減させ、ドレイン近傍での衝突電離による生成された正孔をSOI基板に蓄積することをおさえ、ソース側に正孔を押しやることができる。このため、SOI基板の電位の増加を抑えることにより、キンク特性を抑えることができる。SOI基板の不純物濃度を $10^{14} \sim 10^{16} \text{cm}^{-3}$ 程度と低濃度とした場合、ゲートで制御される電界がSOI基板の下部の絶縁体までおよぶことにより、チャネル中の垂直なゲート電界が緩和され、これにより実効移動度が向上することが知られている。また低不純物濃度にすることで、不純物散乱が小さくなることによる移動度の向上が期待される。

しかしながら、MISトランジスタを相補型MIS回路あるいは相補型MOS回路に適用することを考えた場合、トランジスタはノーマリーオフ型（閾値電圧がNチャネルで正）であることが必須である。しかししてトランジスタの閾値電圧はお

ている。いま、界面単位密度が 10^{12}cm^{-2} 以下と十分小さく無視できる場合、SOI基板の不純物濃度を 10^{12}cm^{-3} 、 SiO_2 ゲート酸化膜厚 $t_{ox}=25 \text{nm}$ 、SOI膜厚 $t_{ep1}=0.05 \mu\text{m}$ とすると、 $\phi_m = -4.25 \text{eV}$ 、 $\phi_s = -5.0 \text{eV}$ であるので V_{th} は -0.258V と負となりノーマリーオフにならない。そこで、SOI基板の不純物濃度を増加させることによりノーマリーオフ $V_{th}=0.2 \text{V}$ 以上を実現しようとする $7 \times 10^{14} \text{cm}^{-3}$ 以上の基板不純物濃度が必要となる。不純物濃度の増加は、不純物散乱による移動度の低下をもたらす。したがって、低不純物濃度のSOI基板を用いれば、低不純物散乱に加え低チャネル垂直電界による移動度の向上が、言い換えれば G_m の向上が期待される一方、ノーマリーオフのMISFETを実現することは難しいという問題があった。

本発明は上記の欠点を改めるために提案されたもので、高い G_m を維持したままノーマリーオフのMISトランジスタを実現することを目的とする。

おむね

$$V_{th} = V_{FB} + 2\phi_f + Q_B / C_{ox} \quad (\text{第1式})$$

$$V_{FB} = \phi_m - \phi_s + q \cdot N_{ss} / C_{ox} \quad (\text{第2式})$$

$$Q_B = q \int_0^d C_{sub} dy, \quad d = \min(Wd, t_{ep1}) \quad (\text{第3式})$$

であらわされる。ここで V_{FB} はフラットバンド電圧、 ϕ_m はゲートの仕事関数、 ϕ_s はSOI基板の仕事関数、 N_{ss} は界面単位密度、 C_{ox} は単位面積当たりのゲート容量、 ϕ_f はSOI基板のフェルミ電圧、 Q_B はSOI基板を空乏化するために必要な電荷である。

第3図は従来用いられているn⁺ポリシリコンゲートの薄膜SOI・MISFETである。図中10は単結晶シリコン基板であり、この基板10上に SiO_2 膜（絶縁体膜）11が形成されている。 SiO_2 膜（絶縁体膜）11上には単結晶シリコン層（SOI基板）12が形成される。単結晶シリコン層（SOI基板）12の表面にはソース・ドレイン領域15、16が形成され、これらソース・ドレイン領域15、16間のチャネル領域上はゲート絶縁膜（ゲート酸化膜）17を介してn⁺ポリシリコンゲート電極18が形成され

（課題を解決するための手段）

上記の目的を達成するため、本発明は絶縁体上に形成された第1導電型の単結晶シリコン膜と、このシリコン膜に形成された第2導電型のソース・ドレインと、前記ソース・ドレイン間のチャネル領域上にゲート酸化膜を介して形成されたゲート電極とを備えたMIS型トランジスタにおいて、前記の単結晶シリコン膜の厚さがチャネルを形成するための最大空乏層幅よりも薄く、かつ前記ソース・ドレインの接合が前記絶縁体に接し、ゲート直下の単結晶シリコン膜の表面領域の不純物濃度を低濃度にし、絶縁体と接する底面の領域を高濃度とする不純物分布を有することを特徴とするMIS型トランジスタを発明の要旨とするものである。

しかし、本発明はn⁺ポリシリコンゲートを用いる薄膜SOI・MISFETにおいて、基板表面反転下で大部分のキャリアが存在する基板表面領域を低不純物濃度にし、基板が完全に空乏化する条件の下で基板底面を高不純物濃度とすること

を特徴とする。すなわち前記、第1式の右辺第3項に注目して閾値制御するものである。

(作用)

本発明はMIS型トランジスタにおいて、基板表面領域を低不純物濃度とし、基板底面を高不純物濃度としたため、高 G_m のノーマリーオフを実現することができる。

(実施例)

次に本発明の実施例について説明する。なお、実施例は一つの例示であって、本発明の精神を逸脱しない範囲で、種々の変更あるいは改良を行うことは言うまでもない。

第1図は、本発明によるMISFETの一実施例(Nチャンネル)の概略構造を示す断面図である。図中10は単結晶シリコン基板であり、この基板10上に SiO_2 膜(絶縁体膜)11が形成されている。 SiO_2 膜(絶縁体膜)11上には単結晶シリコン層(SOI基板)12が形成される。単結晶シリコン層(SOI基板)12の表面領域にはP型で $10^{14} \sim 10^{15} cm^{-3}$ の低い不純物濃度領域13を、底面領域にはP型で

$10^{17} cm^{-3}$ 以上の高い不純物濃度領域14を形成する。単結晶シリコン層(SOI基板)12の表面にはソース・ドレイン領域15、16が形成され、これらソース・ドレイン領域15、16間のチャネル領域上はゲート絶縁膜(ゲート酸化膜)17を介してn⁺ポリシリコンゲート電極18が形成されている。第2図は、第1図においてA-A'線に沿う断面図を示すもので、チャネル直下の不純物濃度分布の一例を示す。不純物濃度分布は閾値電圧がノーマリーオフになるように、かつ反転するための最大空乏層厚がSOI基板厚よりも大きくし、キック特性のないように設定する。また、絶縁体膜11の厚さは、単結晶シリコン基板電極によるSOIチャネルの影響を与えない厚さとする。たとえば、ゲート酸化膜厚 $tox = 25nm$ 、SOI基板厚さ $50nm$ 、絶縁体膜厚 $tox = 1 \mu m$ のとき、SOI基板の深さ方向の不純物濃度分布をSOI基板表面 $30nm$ をP型で $10^{15} cm^{-3}$ の不純物濃度とし、SOI基板底面 $20nm$ をP型で $2 \times 10^{17} cm^{-3}$ の不純物濃度とすることにより閾値電圧をノーマリーオフ型に制御すること

ができる。

(発明の効果)

このように本発明によれば、薄膜SOI基板の不純物濃度分布を表面が低濃度に、底面を高濃度とすることにより、キック特性のない高 G_m のノーマリーオフのMISFETを実現することができる効果を有する。

4. 図面の簡単な説明

第1図は本発明による実施例を示すMISFETの断面構造図、第2図は第1図におけるA-A'断面に対するSOI基板の不純物濃度分布、第3図は従来の薄膜SOI・MISFETの断面構造図を示す。

10・・・単結晶シリコン基板

11・・・ SiO_2 膜(絶縁体膜)

12・・・単結晶シリコン層(SOI基板)

13・・・低不純物濃度領域

14・・・高不純物濃度領域

15・・・ソース拡散層

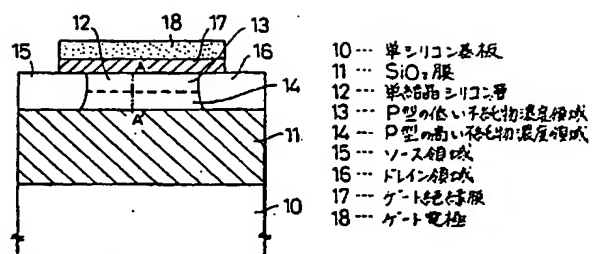
16・・・ドレイン拡散層

17・・・ゲート絶縁膜(ゲート酸化膜)

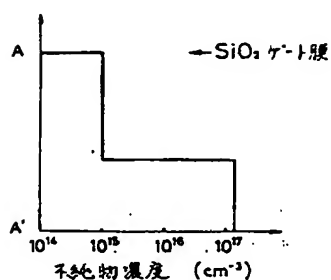
18・・・n⁺ポリシリコンゲート電極

特許出願人 日本電信電話株式会社
代理人 弁理士 高山 敏夫(外1名)

第 1 図



第 2 図



第 3 図

